

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-226079
 (43)Date of publication of application : 20.09.1988

(51)Int.CL H01L 33/00
 // H04N 1/04

(21)Application number : 62-072369 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 26.03.1987 (72)Inventor : NAKAZAWA YOSHIO

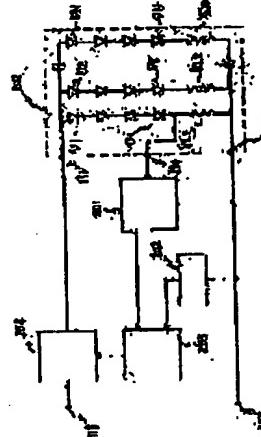
(30)Priority
 Priority number : 61238266 Priority date : 07.10.1986 Priority country : JP

(54) LED ARRAY DRIVE CIRCUIT

(57)Abstract:

PURPOSE: To obtain an LED array drive circuit which has a simple constitution, is easy to be adjusted and shows little luminance variation for a temperature change by a method wherein the LED array driving circuit is composed of means for detecting and adjusting a voltage drop induced by the resistor in the LED array, a means for comparing detected voltage with a reference voltage and a means for controlling a voltage applied to the LED array in accordance with the result of comparison.

CONSTITUTION: An LED array drive circuit is composed of a voltage dividing circuit 201/a reference voltage circuit 202 which are means for detecting and adjusting a voltage drop induced by a resistor RL1 in an LED array 102, an error amplifier 203 which is a means for comparing the voltage dividing circuit output with the reference voltage output and a control circuit 204 which is a means for controlling a voltage applied to the LED array. A total driving current I applied to the LED array 102 is nearly equal to the product of a driving current I1 and the number N of LED's connected in parallel. By the similarity of the voltage drops of the LED's (D1, D2,...DN) and the similarity of the voltage drops of the resistors (RL1, RL2,...,RLN), currents applied to the LED's (D1, D2,...DN) can be stabilized and the whole LED array 102 can be controlled by detecting and controlling the voltage drop of the resistor RL1 only.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

2004年 4月19日 11時51分
SEARCHING BY

IPPS日本

No. 0468 P. 24
2/2...52

- [application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

従来のじきDアレイ駆動回路は、各回路0.01-
1.231.56の電力型イノーマージャンサに述べられ
ている。この中で構成要點として光量検出器が取
り上げられている。

(新聞を好決しようとする問題)

しかし、前述の説明技術では、光電機山道を除いては、その時間が生ずる。光電機出器の回数が必要である。光電機山道を除くことがコスト上昇の原因になる。光電機出器を何箇なら、取引所の初期回数は、光電機山道子山力を考慮しながら行なわなければならぬという理由を打する。

そこで本発明はこのような因数を解決するもので、その目的とするところは、駆鳥を構成し、駆鳥が容易であり、温度変化に対する耐候性を有するシエロアレイ駆動因数を提供することにある。

(田畠を解決するための手段)

本発明のしるべアレイ駆動回路は、LEDアレイの駆動の電圧降下を検出、調整する手段、前記

松山田正を幕末田正と比較する手段、前記比較結果に基づきしてDフレイ印加電圧を制御する手段などを構成されることを特徴とする。

卷之三

本発明の上記の構成によれば、LEDアレイの電圧降下が基板電圧と同一になるように、LEDアレイ印加電圧を制御するので、LEDアレイに印加電圧を変化させしLEDアレイの抵抗値で算出した前の電流が求められる。これは基板電圧によって変化しない一定値の電流である。定常放電率に対する電流の割合は0-0.5%である。

〔詩篇例〕

第1図は本発明の実験例におけるLEDアレイ用鏡面の断面図である。

LEDアレイ I_{L2} は、D₁、D₂、...、D_nと並んで、R_{L1}、R_{L2}、...、R_{Ln}によって構成される。LEDは通常電圧降下の利用効率を高めるために相殺回路接続して使用される。既往のR_{L1}、R_{L2}、...、R_{Ln}は、LEDに流れる電流を安定化する効果を持ち、LED

(D₁, D₂, ..., D_n) の開光値のパラメキに合わせて抵抗 (R₁, R₂, ..., R_n) を調整すれば、同一LEDアレイ内の照度のバラツキを抑止することができる。

レゾンアレイ結果図は、LEDアレイ 102 の低次元、の化圧降下各状態を調整する手段である分圧回路 201／昇圧回路 202、分圧回路出力と整流回路出力を比較する手段である比較回路 203 及び LEDアレイ印加電圧を調節する手段である制御回路 204から構成される。

图子111、精子112は恒源入力精子で

2

LEDを定期巡回した場合の反応の及ぼす性質は、 $0\text{--}54^\circ\text{C}$ である。LBDD、の起動電圧は、

$$I_1 = V_1 / (K + R_L + \dots)$$

となる。V₁は基準圧回路202の基準電圧
値、K₁は分圧回路201の分圧比である。駆動電
圧V₁は通常、基準電圧値V₁あるいは分圧比K₁
を調整して調整する。

LEDアレイ102に與れる駆動電流はLEDの発光強度Nと駆動電流I₀の間に比例する。LED(D₁、D₂...D_n)の印加电压下の初期性及び抵抗(R₁、R₂...R_n)の印加电压下の相関性により、LED(D₁、D₂...D_n)に與れる電流が変化され、抵抗R_Lの印加电压下を後山制御することによってLEDアレイ102全体を制御できる。

通常 LED アレイ 102 は電子 113 と電子 112 の間で定電圧駆動される。LED の順方向降下電圧の相成り性は $-2 \text{ mV}/^\circ\text{C}$ となるので、相成り性化により LED アレイ 駆動電圧 1 は変化する。この変化は LED の相成りが安定するまで徐々に進む。

ので、初期版はさきめて行なつた。また同一レコード内での版権マークの特性は日本版と同一である。

基準電圧四端子 202 の値より、電荷感応アンプセンサなどの電位差取扱いの平均値を印加すれば、オートゲインコントロールをすることも可能である。

2004年 4月19日 11時52分

IPPS日本

No. 0468 P. 27

特開昭63-226079(3)

第3図は本発明の第3の実施例におけるSELBDアレイ駆動回路の回路図である。

第2の実施例は前記構成の範囲第2項目以下に対する実施例である。分圧回路201に印加される206山信号は、前記駆動回路203の山力は前記ペルス発生回路208に入力され、前記ペルス発生回路208の山力は前記駆動回路207に入力される。

第1の実施例と第2の実施例の相異点は、第1の実施例がSELBDアレイを駆動的に定位駆動回路しようとするのに對し、第2の実施例では駆動的にSELBDアレイ位相を変してその平均位を一定位相に切換しようという点にある。前記回路に前記制御回路という概念は含まれるとし、平均位を一定位相に切換することとは、定位駆動回路という概念に含まれるとする。

印加回路205はSELBDアレイに、駆動的に給れる電流の平均位を検出し分圧回路201に入力する。分圧回路201、前記駆動回路203、前記駆動回路207の動作は第1の実施例と同様であ

る。

前記駆動回路203の山力は前記ペルス発生回路208を駆動する。前記ペルス発生回路208は、前記制御回路207に印加するペルスのデーターを可変周波数で、SELBDアレイに流れ込む位相を駆動する。SELBDアレイに流れ込む位相は、以上述べたファーブループにより決定される。

前記駆動回路207のオン時間とオフ時間の比でデーターを駆動する方法として、オン時間とオフ時間と一定として周期（オン時間とオフ時間の和）を定める周波駆動回路と周期を一定としてオン時間を定めるペルス駆動回路がある。また、前記ペルス発生回路208のペルス駆動方法として自駆動回路と他駆動回路がある。SELBDアレイ駆動回路がシステムの中で用いられる場合、SELBDアレイ駆動回路が駆動するノイズは一般に問題になることが多い。そこで、ノイズの対策を容易にするためには、SELBDアレイ駆動回路のノイズがシステムのターゲット値と同期していることが最もよい。そこで制

御ペルス発生回路208の方式としては、ペルス駆動回路と位相駆動回路の併用（位相駆動回路はシステムクロックに同期して駆動される。）が上記の場合、効果がある。

第2の実施例においては電流の利用効率の向上、不要な熱を抑えるという効果がある。なぜなら、前記駆動回路207はオンオフ動作のみであるので、基本的に電力を消費しない。そのため、上記の効果がある。

通常のスイッチングレギュレーターと違う点は、印加回路にある。通常のスイッチングレギュレーターがSELBDアレイの全出力を印加する印加回路が必要なのに対し、第2の実施例では、分圧回路201に印加するための信号のみ印加すればよい。そのため印加回路に必要なコストや大きさが、本方式の方が優れている。

(発明の効果)

本発明によれば、

電流変化による回路の変化を-0.5mA/Cとすることが可能となる。それによってSELBDの精度

が安定にならなくとも周波がほぼ一定であるので初期回路が容易である。

周波駆動として先記駆動回路が不適であるので、固定が不適及コストが安くなる。

反応のし易いSELBDアレイに対して、マニタ電子114を駆動するだけで構成できるので、構成が容易である。

電流変化をSELBDの印加電流変化抵抗と共に用いているので電源電圧の利用効率が高い。

以上述べたように本発明によればSELBDアレイ駆動回路のコストダウン機能特性の改善、回路の簡素化、等々に効果を有する。

4. 回路の構成

第1図は本発明のSELBDアレイ駆動回路の一実施例を示す回路図である。

第2図は本発明のSELBDアレイ駆動回路の第2の実施例を示す回路図である。

D₁、D₂、D₃はSELBD、

R_{L1}、R_{L2}は抵抗、

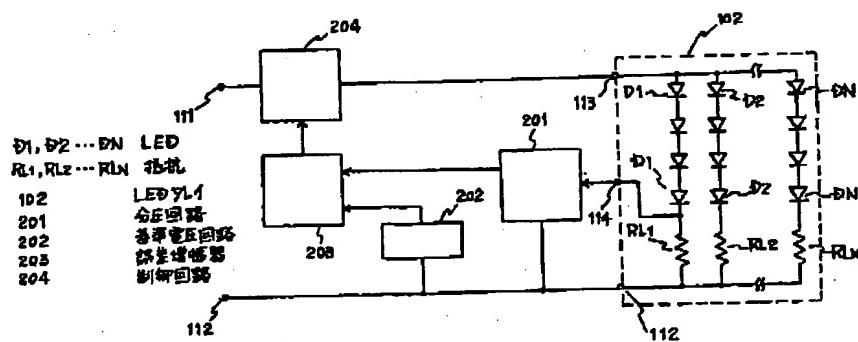
102はLEDライ・
201は分圧回路、
202は電源回路、
203は整流器、
204は制御回路、
205は切换回路、
206は制御バルス発生回路、
207は断続制御回路である。

以上

山根人 セイロー・エブン株式会社

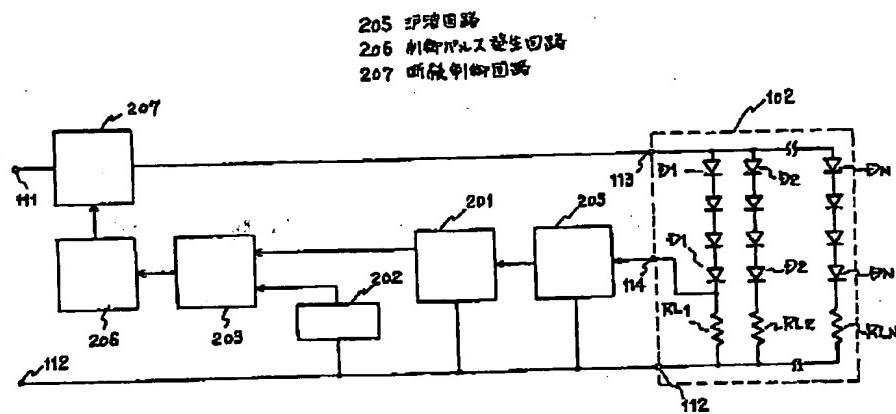
代理人 水谷士 釜上 勝

印



第1図

特開昭63-226078(6)



第 2 図

THIS PAGE BLANK (USPTO)